

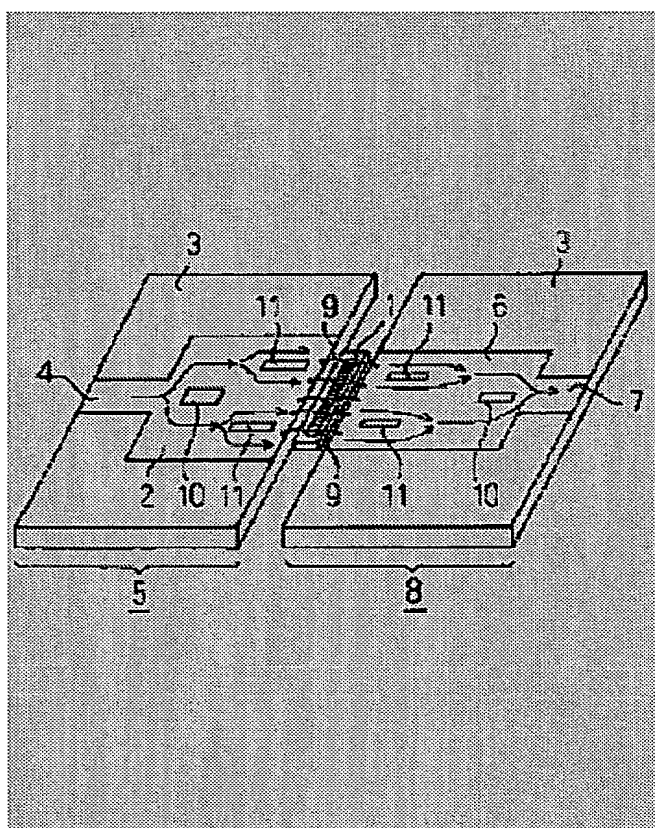
MICROWAVE HIGH OUTPUT AMPLIFIER

Patent number: JP7307626
 Publication date: 1995-11-21
 Inventor: KIYONO KIYOHARU
 Applicant: MITSUBISHI ELECTRIC CORP
 Classification:
 - international: H03F3/60; H01P5/02; H01P5/08; H01P5/12; H03F3/20
 - european:
 Application number: JP19940098615 19940512
 Priority number(s): JP19940098615 19940512

Abstract of JP7307626

PURPOSE: To raise the output of a microwave high output amplifier by providing a strip along the propagation direction of microwaves on a strip line and physically and approximately equalizing a route length from an input terminal to the center part or both end parts of a semiconductor amplifier element or the like.

CONSTITUTION: Microwave signals made incident from the input terminal 4 are passed through an input matching circuit 5 composed of a microstrip line 2, supplied to the center part and both end parts of an FET 1 in common-mode and respectively amplified. Further, the amplified respective microwave signals are synthesized in the common-mode through an output matching circuit 8 composed of the microstrip line 6 and supplied through an output terminal 7 to the loads of an antenna or the like. In this amplifier, by providing the slits 10 and 11 respectively on the microstrip lines 2 and 6 for constituting the input matching circuit 5 and the output matching circuit 8, the route lengths of the microwaves from the input terminal 4 to the output terminal 7 passing through the center part and both end parts of the FET 1 are approximately equalized and the output of the amplifier is increased.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-307626

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/60				
H 0 1 P 5/02	A			
	5/08	L		
	5/12			
H 0 3 F 3/20		8839-5 J		
審査請求 未請求 請求項の数12 O L (全 17 頁)				

(21)出願番号 特願平6-98615

(22)出願日 平成6年(1994)5月12日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 清野 清春

鎌倉市上町屋325番地 三菱電機株式会社

鎌倉製作所内

(74)代理人 弁理士 高田 守

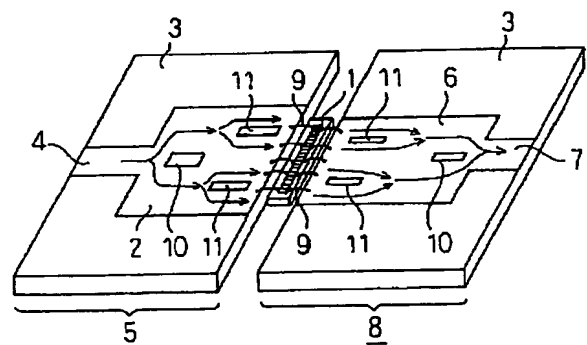
(54)【発明の名称】 マイクロ波高出力増幅器

(57)【要約】

【目的】 マイクロ波高出力増幅器の高出力化を図ることを目的とする。

【構成】 入力整合回路あるいは出力整合回路の少なくとも一方をマイクロストリップ線路で形成し、マイクロ波高出力増幅器の入力端末から出力端子までのFETの中央部及び両端部を通るマイクロ波の経路長を物理的にほぼ等しくするスリットをマイクロ波の伝ばん方向に沿ってマイクロストリップ線路上に設けた。

【効果】 入力端子から出力端子までのFETの中央部及び両端部を通るマイクロ波の経路長を等しくすることにより、FETの各部を同相で動作させることができ、マイクロ波高出力増幅器の高出力化を図ることができる効果がある。



- | | | |
|----------------|----------------|----------|
| 1: FET | 5: 入力整合回路 | 9: 金属細線 |
| 2: マイクロストリップ線路 | 6: マイクロストリップ線路 | 10: スリット |
| 3: 誘電体基板 | 7: 出力端子 | 11: スリット |
| 4: 入力端子 | 8: 出力整合回路 | |

【特許請求の範囲】

【請求項 1】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路あるいは出力整合回路の少なくとも一方を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、かつ、マイクロ波の伝ばん方向に沿って、上記、マイクロストリップ線路上には入力端子から出力端子までの上記半導体素子の中央部あるいは両端部を通るマイクロ波信号の経路長がほぼ等しくなるようなスリットを設けたことを特徴とするマイクロ波高出力増幅器。

【請求項 2】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路あるいは出力整合回路の少なくとも一方を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、かつ、マイクロ波の伝ばん方向と垂直方向をなす上記、マイクロストリップ線路の両端にマイクロストリップ線路に対して、直列にキャパシタを装荷したことを特徴とするマイクロ波高出力増幅器。

【請求項 3】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路あるいは出力整合回路の少なくとも一方を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、かつ、上記、マイクロストリップ線路と半導体増幅素子との接続部近傍のマイクロストリップ線路上に絶縁体膜を設けるとともに、上記、絶縁体膜上には一端がマイクロストリップ線路に接続され、所要周波数帯で長さが $1/4$ 波長より短い先端開放線路を設けることを特徴とするマイクロ波高出力増幅器。

【請求項 4】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路あるいは出力整合回路の少なくとも一方を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、かつ、上記、マイクロストリップ線路と半導体増幅素子との接続部近傍のマイクロストリップ線路のほぼ中央部に所要周波数帯で $1/4$ 波長より短い先端開放線路が形成されるようなコの字形のスリットを設けたことを特徴とするマイクロ波高出力増幅器。

【請求項 5】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、かつ、上記、マイクロストリップ線路の中央部からマイクロ波の伝ばん方向と垂直をなす方向に向かって徐々に抵抗値が大きくなる抵抗を上記、マイクロストリップ線路に直列に装荷したことを特徴とするマイクロ波高出力増幅器。

【請求項 6】 上記、抵抗の一部を金属細線で短絡した

ことを特徴とする請求項 5 記載のマイクロ波高出力増幅器。

【請求項 7】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、入力整合回路あるいは出力整合回路の少なくとも一方を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、上記、マイクロストリップ線路のほぼ中央部にマイクロ波の伝ばん方向に沿ってスリットを設けたことを特徴とするマイクロ波高出力増幅器。

【請求項 8】 上記、マイクロストリップ線路のほぼ中央部にマイクロ波の伝ばん方向に沿って設けられたスリットにより分離されたマイクロストリップ線路間を接続する抵抗を上記スリット内に設けたことを特徴とする請求項 7 記載のマイクロ波高出力増幅器。

【請求項 9】 上記、マイクロストリップ線路のほぼ中央部にマイクロ波の伝ばん方向に沿って設けられたスリットの一部を跨ぐように配置された金属細線でマイクロストリップ線路の局部間を接続したことを特徴とする請求項 7 又は 8 記載のマイクロ波高出力増幅器。

【請求項 10】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、出力整合回路を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、上記、マイクロストリップ線路と半導体増幅素子との接続部近傍のマイクロストリップ線路上に、高調波でほぼ $1/4$ 波長の先端開放線路が形成されるようにコの字形のスリットを設けたことを特徴とするマイクロ波高出力増幅器。

【請求項 11】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、出力整合回路として、誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、上記、マイクロストリップ線路と半導体増幅素子との接続部近傍のマイクロストリップ線路上に、絶縁体膜を設け、かつ、上記、絶縁体膜上には一端がマイクロストリップ線路に接続され、長さが高調波に対してほぼ $1/4$ 波長の先端開放線路を設けたことを特徴とするマイクロ波高出力増幅器。

【請求項 12】 入力整合回路と出力整合回路と半導体増幅素子とから成るマイクロ波高出力増幅器において、上記、出力整合回路を誘電体基板あるいは半導体基板上に形成されたマイクロストリップ線路で構成し、上記、マイクロストリップ線路上の出力端子側の一端に絶縁体膜を設けるとともに、上記、絶縁体膜上には一端がマイクロストリップ線路に接続され、長さが高調波でほぼ $1/4$ 波長の先端開放線路を設けたことを特徴とするマイクロ波高出力増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はレーダあるいは通信等に用いるマイクロ波高出力増幅器に関するものである。

【0002】

【従来の技術】近年、FET等の半導体増幅素子の高周波化、高出力化が進み、レーダあるいは通信用の高出力増幅器として、半導体増幅素子を用いたものが一般に用いられている。図15は例えば電子情報通信学会、マイクロ波研究会資料MW88-52に記載された従来のマイクロ波高出力増幅器の斜視図である。公知資料では入出力整合回路として、マイクロストリップ線路から成る2段のインピーダンス変成器を用いた場合について示しているが、ここでは説明を簡単にするために、入出力整合回路として、マイクロストリップ線路から成る1段のインピーダンス変成器を用い、かつ、半導体増幅素子としてFETを用いた場合について述べる。図において、1は半導体増幅素子の一つであるFET、2はマイクロストリップ線路、3は誘電体基板、4は入力端子、5は入力整合回路、6はマイクロストリップ線路、7は出力端子、8は出力整合回路、9は金属細線である。このマイクロ波高出力増幅器はチップ状のFET1とFET1の入出力部にそれぞれ設けた入力整合回路5、出力整合回路8とからなり、入力整合回路5とFET1間及び出力整合回路8とFET1間を金属細線9によりそれぞれ接続した構成のものである。入力整合回路5はアルミナセラミック基板等の誘電体基板3上に形成されたマイクロストリップ線路2からなり、マイクロストリップ線路2の一端には入力端子4が接続されている。また、マイクロストリップ線路2の長さ及び特性インピーダンスはFET1の入力インピーダンスと入力端子4に接続される電源インピーダンスとを整合させるような値に選ばれており、通常、長さは所要周波数帯で1/4波長に、特性インピーダンスはFET1の入力インピーダンスと電源インピーダンスとの相乗平均値に選ばれている。このように入力整合回路5はFET1の入力インピーダンスと電源インピーダンスとを整合させる働きを有し、長さが約1/4波長のマイクロストリップ線路2からなる1段のインピーダンス変成器となっている。一方、出力整合回路8は誘電体基板3上に形成されたマイクロストリップ線路6からなり、マイクロストリップ線路6の一端には出力端子7が接続されている。この出力整合回路8はFET1の出力インピーダンスと出力端子7に接続される負荷インピーダンスとを整合させるために設けており、マイクロストリップ線路6の長さ及び特性インピーダンスはそれぞれ1/4波長及びFET1の出力インピーダンスと負荷インピーダンスとの相乗平均値に選ばれている。従って、出力整合回路8も入力整合回路5と同様に、長さが約1/4波長のマイクロストリップ線路6からなる1段のインピーダンス変成器となっている。さらに、増幅器出力は使用するFET1のゲート幅に依存するため、所望の出力が得られるようなゲート幅のFET

T1が用いられており、通常、FET1はゲート幅10mm当り3wの出力が得られる。

【0003】次に動作について説明する。マイクロ波高出力増幅器の入力端子4から入射したマイクロ波信号は入力整合回路5を通り、FET1に供給される。供給されたマイクロ波信号はFET1で増幅され、出力整合回路8を介して出力端子7に出力され、さらに、アンテナ等の負荷へ供給される。このように所望のゲート幅のFET1を用い、FET1の入力インピーダンスと電源インピーダンス、FET1の出力インピーダンスと負荷インピーダンスとを整合させる入力整合回路5、出力整合回路8をFET1の入出力部にそれぞれ設けることにより、マイクロ波高出力増幅器を実現することができる。

【0004】

【発明が解決しようとする課題】近年、マイクロ波高出力増幅器には高周波化、高出力化が増々要求されるようになって来ている。このため、高周波帯においても波長に比べて無視できないチップサイズの大きなゲート幅の広いFET1が用いられるようになった。このようなゲート幅の広いFET1を高周波帯で使用する場合、次のような問題点が発生する。図16(a)～(c)はマイクロ波の信号の流れを示すモデル図である。図16

(a)はFET1の各部を通るマイクロ波信号に位相差が生じることを表わす図で、図16(b)はFET1の各部に供給されるマイクロ波信号に振幅差が生じることを表わしている。また、図16(c)はFET1の一部から発生したマイクロ波信号が入力整合回路5、FET1の他の部分および出力整合回路8を通して再び戻ること表わしている。

【0005】図16(a)において、入力端子4から入射したマイクロ波信号はマイクロストリップ線路2の左端で実線のようにFET1の両端部に供給されるものと、破線のようにFET1の中央部に供給されるものとに分かれる。分かれたマイクロ波信号はFET1の両端部と中央部でそれぞれ増幅され、さらにマイクロストリップ線路6を通して、マイクロストリップ線路6の右端で合成される。このように、FET1の中央部を通るよりは両端を通る方が線路長が長くなり、FET1の中央部を通るマイクロ波信号に比べ両端を通るマイクロ波信号の位相が遅れることになる。従って、FET1の各部を通るマイクロ波信号に位相差が生じ、合成効率が低下する。このため、ゲート幅の広いFET1を用いても大きな出力が得られない問題点があった。

【0006】また、図16(b)に示すように、マイクロストリップ線路2、6では中央部よりも両端の方がマイクロ波信号の電流密度が高くなる。このため、FET1の中央部に比べ両端部には大きな振幅のマイクロ波信号が供給される。従って、FET1の両端部は過飽和状態で動作するのに対し、中央部はあまり飽和しない状態で動作するようになる。このように入力端子4から入射

5

したマイクロ波信号はFET1で増幅される際、FET1の各部に振幅差が生じるため、増幅されたマイクロ波信号がマイクロストリップ線路6の出力端子7側で、効率良く合成されなくなり、この場合も大きな出力が得られない問題点がある。

【0007】また、図16(c)に示すようにゲート幅の大きなFET1を用いた場合、FET1の内部の一部で発生した不要なマイクロ波信号がマイクロストリップ線路2、FET1の他の部分およびマイクロストリップ線路6を通して再びもとに戻る場合がある。これはFET1のゲート幅が増大するとFET1を構成するFETセルが均一に製作できなくなり、また、マイクロストリップ線路2、6の幅が波長に比べ無視できなくなる場合に生じる。このように波長に比べゲート幅の大きさFET1を用い、また、幅の広いマイクロストリップ線路2、6を用いてマイクロ波高出力増幅器を構成した場合、FET1の一部とマイクロストリップ線路2、6とで正帰還回路が形成され発振してしまう問題点もあった。

【0008】さらに、通信等に用いるマイクロ高出力増幅器ではFET1の非線形特性により発生する高調波が問題となる場合が多い。図15に示す従来のマイクロ波高出力増幅器ではこのような高調波を抑圧する機能がないため、マイクロ波高出力増幅器の出力端子7に大きな高調波が出力されてしまう問題点もあった。

【0009】この発明は上記のような課題を解消するためになされたもので、出力を向上させることができるとともに、高安定で高調波の低いマイクロ波高出力増幅器を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係るマイクロ波高出力増幅器の実施例1では入力整合回路あるいは出力整合回路の少なくとも一方を、マイクロストリップ線路で構成し、かつ、このマイクロストリップ線路上には入力端子から出力端子に至るFETの各部を通るマイクロ波信号の経路長が等しくなるようなスリットをマイクロ波の伝ばん方向に沿って設けたものである。

【0011】また、この発明に係るマイクロ波高出力増幅器の実施例2では入力整合回路あるいは出力整合回路の少なくとも一方を、マイクロストリップ線路で構成し、かつ、マイクロ波の伝ばん方向と垂直をなすこのマイクロストリップ線路の両端部にはマイクロストリップ線路と直列接続されるようにキャパシタを装荷したものである。

【0012】また、この発明に係るマイクロ波高出力増幅器の実施例3では、入力整合回路あるいは出力整合回路の少なくとも一方を、マイクロストリップ線路で構成し、かつ、マイクロストリップ線路とFETとの接続部近傍のマイクロストリップ線路上に絶縁体膜を設け、さらに、この絶縁体膜上には一端がマイクロストリップ線

6

路に接続された所要の周波数帯で $1/4$ 波長より短い先端開放線路を設けたものである。

【0013】また、この発明に係るマイクロ波高出力増幅器の実施例4では入力整合回路あるいは出力整合回路の少なくとも一方を、マイクロストリップ線路で構成、このマイクロストリップ線路とFETとの接続部近傍のマイクロストリップ線路のほぼ中央部に所望の周波数帯で $1/4$ 波長より短い先端開放線路が形成されるようなコの字形のスリットを設けたものである。

10 【0014】また、この発明に係るマイクロ波高出力増幅器の実施例5では入力整合回路をマイクロストリップ線路で構成し、かつ、このマイクロストリップ線路の中央部からマイクロ波の伝ばん方向と垂直をなす方向に向かって徐々に抵抗値が大きくなるような抵抗をマイクロストリップ線路に直列に装荷したものである。

20 【0015】また、この発明に係るマイクロ波高出力増幅器の実施例6では入力整合回路をマイクロストリップ線路で構成し、かつ、このマイクロストリップ線路の中央部からマイクロ波の伝ばん方向と垂直をなす方向に向かって、徐々に抵抗値が大きくなるような抵抗をマイクロストリップ線路に直列に装荷し、さらにこの抵抗の一部を金属細線で短絡したものである。

【0016】また、この発明に係るマイクロ波高出力増幅器の実施例7では入力整合回路あるいは出力整合回路の少なくとも一方を、マイクロストリップ線路で構成し、このマイクロストリップ線路のほぼ中央部にマイクロ波の伝ばん方向に沿ってスリットを設けたものである。

30 【0017】また、この発明に係るマイクロ波高出力増幅器の実施例8では実施例7で示したスリット内にマイクロストリップ線路間を接続する抵抗を設けたものである。

【0018】また、この発明に係るマイクロ波高出力増幅器の実施例9では実施例7、8で示したスリットを跨ぐように配置され、かつ、マイクロストリップ線路間を接続する金属細線を設けたものである。

40 【0019】また、この発明に係るマイクロ波高出力増幅器の実施例10では出力整合回路をマイクロストリップ線路で構成し、このマイクロストリップ線路とFETとの接続部近傍のマイクロストリップ線路上に、高調波に対して長さがほぼ $1/4$ 波長の先端開放線路が形成されるようなコの字形のスリットを設けたものである。

50 【0020】さらに、この発明に係るマイクロ波高出力増幅器の実施例11では出力整合回路をマイクロストリップ線路で構成し、このマイクロストリップ線路とFETとの接続部近傍のマイクロストリップ線路上に絶縁体膜を設けるとともに、この絶縁体膜上には長さが高調波に対してほぼ $1/4$ 波長を有し、一端がマイクロストリップ線路に接続された先端開放線路を設けたものである。

7

【0021】さらに、また、この発明に係るマイクロ波高出力増幅器の実施例12では出力整合回路をマイクロストリップ線路で構成し、このマイクロストリップ線路の出力端子側の一端に絶縁体膜を設けるとともに、絶縁体膜上には一端がマイクロストリップ線路に接続され、長さが高調波でほぼ1/4波長の先端開放線路を設けたものである。

【0022】

【作用】この発明に係るマイクロ波高出力増幅器の実施例1では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路に、マイクロ波の伝はん方向に沿ってスリットを設けることにより、FETの各部を通る入力端子から出力端子までの経路調即ち電気長をほぼ一定にできる。

【0023】この発明に係るマイクロ波高出力増幅器の実施例2では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路の両端に、マイクロストリップ線路に直列接続されるようにキャパシタを設けることにより、マイクロストリップ線路の両端部の位相を進めることができ、FETの各部を通る入力端子から出力端子までの電気長をほぼ一定にできる。

【0024】また、この発明に係るマイクロ波高出力増幅器の実施例3では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路上のFETとの接続部近傍に絶縁体膜上に形成された先端開放線路を接続することにより、マイクロストリップ線路の中央部の位相を遅らせることができ、FETの各部を通る入力端子から出力端子までの電気長をほぼ一定にできる。

【0025】また、この発明に係るマイクロ波高出力増幅器の実施例4では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路のFETとの接続部近傍にコの字形のスリットを設けることにより、簡単な構成がマイクロストリップ線路上の位相を調整でき、FETの各部を通る入力端子から出力端子までの電気長をほぼ一定にできる。

【0026】また、この発明に係るマイクロ波高出力増幅器の実施例5では入力整合回路を構成するマイクロストリップ線路に直列に、マイクロストリップ線路の中央部から両端部に向かって徐々に抵抗値が大きくなる抵抗を装荷することにより、FETの各部に供給されるマイクロ波信号の振幅をほぼ一定にできる。

【0027】また、この発明に係るマイクロ波高出力増幅器の実施例6では入力整合回路を構成するマイクロストリップ線路に、マイクロストリップ線路の中央部から両端部に向かって徐々に抵抗値が大きくなる抵抗を直列に装荷し、この抵抗の一部を金属細線で短絡することにより、抵抗で減衰されるマイクロ波信号の減衰量を調整することができFETの各部に供給されるマイクロ波信号の振幅をより等しくできる。

【0028】また、この発明に係るマイクロ波高出力増

8

幅器の実施例7では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路のほぼ中央部にマイクロ波の伝はん方向に沿ってスリットを設けることにより、FETの一部から発生した不要なマイクロ波信号が出力整合回路、FETの他の部分および入力整合回路を通過して再びもとに戻るまでの電気長を設定できる。

【0029】また、この発明に係るマイクロ波高出力増幅器の実施例8では実施例7のスリット内に抵抗を設けることにより、FETの一部から発生した不要なマイクロ波信号が出力整合回路、FETの他の部分および入力整合回路を介してももとに戻るまでに、不要なマイクロ波信号を減衰させることができる。

【0030】また、この発明に係るマイクロ波高出力増幅器の実施例9では実施例7、8のスリットを跨ぐ金属細線でマイクロストリップ線路の局部間を短絡することにより、FETの一部から発生した不要なマイクロ波信号が出力整合回路、FETの他の部分および入力整合回路を介してももとに戻るマイクロ波の振幅と位相を変えてできる。

【0031】また、この発明に係るマイクロ波高出力増幅器の実施例10では出力整合回路を構成するマイクロストリップ線路上のFETとの接続部近傍に、高調波に対して長さがほぼ1/4波長の先端開放線路が形成されるようなコの字形のスリットを設けることにより、FETから発生した高調波をFET近傍で短絡することができる。

【0032】また、この発明に係るマイクロ波高出力増幅器の実施例11では出力整合回路を構成するマイクロストリップ線路のFETとの接続部近傍に、絶縁体膜上に形成された長さが高調波に対して1/4波長の先端開放線路を装荷することにより、FET近傍でFETから発生した高調波を短絡することができる。

【0033】さらに、この発明に係るマイクロ波高出力増幅器の実施例12では出力整合回路を構成するマイクロストリップ線路上の出力端子側の一端に、絶縁体膜上に形成された長さが高調波でほぼ1/4波長の先端開放線路を設けることにより、FETから発生した高調波を短絡できるとともに、マイクロストリップ線路長を短くできる。

【0034】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1はFET1の各部を通り、入力端子4から出力端子7に到るマイクロ波信号の経路長を物理的にほぼ等しくできるこの発明のマイクロ波高出力増幅器の斜視図であり、その図において10、11はスリットである。この発明のマイクロ波高出力増幅器は図15に示した従来のものと基本的な回路構成は同じであるが、マイクロストリップ線路2、6上にそれぞれスリット10、11を設けている点が従来のものと異なる。即ち、マイ

クロスストリップ線路2上のスリット10はマイクロストリップ線路2の幅を2分割するようにマイクロストリップ線路2のほぼ中央部の入力端子4側に、また、スリット11はマイクロストリップ線路2の両端から線路幅の約1/4のFET1側にマイクロ波の伝はん方向に沿ってそれぞれ設けられている。また、マイクロストリップ線路6上のスリット10、11はマイクロストリップ線路2上のスリット10、11と同様の位置関係に設けられている。このようにマイクロストリップ線路2、6上に、マイクロ波の伝はん方向に沿って細長いスリット10、11を設けることにより、入力端子4から入射したマイクロ波信号は図中の矢印の経路で伝はんようになる。即ち、入力端子4からのマイクロ波信号はマイクロストリップ線路2上のスリット10で、ほぼ2等分配され、さらにスリット11で4等分配されてFET1に供給される。供給されたマイクロ波信号はFET1で増幅され、マイクロストリップ線路6上の2個のスリット11の出力端子7側でそれぞれ2合成され、さらにスリット10の出力端子7側で4合成されるようになる。このような経路でマイクロ波信号が伝はんするため、入力端子4からFET1の各部までの経路長及びFET1の各部から出力端子7までの経路長を物理的にほぼ等しく

【0035】次に動作について説明する。入力端子4から入射したマイクロ波信号はマイクロストリップ線路2からなる入力整合回路5を通り、FET1の中央部及び両端部に同相で供給され、そこでそれぞれ増幅される。さらに増幅されたそれぞれのマイクロ波信号はマイクロストリップ線路6からなる出力整合回路8を介して同相で合成され、出力端子7を介してアンテナ等の負荷へ供給されるようになる。なお、マイクロストリップ線路2、6へ設けたスリット10、11は細長い形状としており、しかもマイクロ波の伝はん方向に沿って設けられているため、この発明のマイクロ波高出力増幅器で用いているマイクロストリップ線路2、6の特性インピーダンス及び電気長はスリット10、11のないものとはほぼ等しくなるため、増幅器特性へ与えるスリット10、11の影響は非常に小さい。以上に述べたように、この発明のマイクロ波高出力増幅器では入力整合回路5、出力整合回路8を構成するマイクロストリップ線路2、6上にそれぞれスリット10、11を設けることにより、FET1の中央部及び両端部を通る入力端子4から出力端子7までのマイクロ波の経路長をほぼ等しくすることができる。従って、FET1の中央部及び両端部を同相で動作させることができ、かつ、FET1で増幅されたマイクロ波信号と同相で合成できるため高出力化を図ることができる利点がある。

【0036】なお、上記実施例ではマイクロストリップ線路2、6上にそれぞれ3個のスリット10、11を設けた場合について示したが、この発明のマイクロ波高出

力増幅器では図2に示すように、それ以上のスリット10、11を設けた場合であっても良い。このように多数のスリット10、11をマイクロストリップ2、6上に設けることにより、FET1の各部をより同相で動作させることができ、また、FET1の各部で増幅されたマイクロ波信号をより同相で合成することができるため、さらに高出力化が可能となる。また、スリット10、11をマイクロストリップ線路2、6にそれぞれ設けた場合について述べたが、いずれか一方に設けた場合であっても良い。この場合、スリット10、11をマイクロストリップ線路2、6にそれぞれ設けたものよりはやや出力が低下するが、スリット10、11を設けないものよりは出力向上が図れる。

【0037】以上の実施例ではマイクロストリップ線路2、6上にスリット10、11を設けることにより、FET1の中央部及び両端部を通る入力端子4から出力端子7までの経路長を物理的にほぼ等しくする場合について述べた。この発明では経路長を電氣的に等しくした場合であっても良く、以下、この場合の実施例について述べる。

【0038】実施例2. 図3(a)、(b)はFET1の各部に供給されるマイクロ波の位相を電氣的に等しくするマイクロ波高出力増幅器の一実施例を示す斜視図であり、図中、12はスリット、13はキャパシタ、14は金属細線である。図3(a)のマイクロ波高出力増幅器ではマイクロ波の伝はん方向と垂直方向をなすマイクロストリップ線路2の両端から中央部に向かってスリット12を設け、かつ、スリット12近傍のマイクロストリップ線路2上に平行平板形のキャパシタ13を装着するとともにキャパシタ13の上面の電極部とマイクロストリップ線路2間をスリット12を跨ぐように配置した金属細線14で接続したものである。このため、キャパシタ13はマイクロストリップ線路12の両端部にマイクロストリップ線路12に直列に装荷された構成となる。従って、入力端子4から入射したマイクロ波信号はマイクロストリップ線路2の左端でマイクロストリップ線路2の中央部を通るものと両端部を通るものとに分配され、中央部を通るマイクロ波信号は直接FET1へと進む。これに対して、両端部を通るマイクロ波信号は、キャパシタ13を通った後、FET1に到達するようになる。このため入力端子4からFET1までの経路長は図16(a)の従来例でも説明したように、マイクロストリップ線路2の中央部を通るよりも両端部を通る方が物理的に長くなり、位相が遅れる。ところが、マイクロストリップ線路2の両端部を通るマイクロ波信号はキャパシタ13を通ることにより、位相が進むようになる。即ち、キャパシタ13はマイクロ波信号の経路長を電氣的に短縮する働きがあり、マイクロ波の経路長が物理的に長くなることによる位相遅れを補償することができる。なお、キャパシタ13を通ることによるマイクロ波

の位相はキャパシタ13の値に依存し、キャパシタ13の大きさが小さくなるほど位相は進むようになる。このように、マイクロストリップ線路2の両端部に直列にキャパシタ13を装荷することにより、入力端子4からFET1の中央部あるいは両端部までのマイクロ波の経路長を電氣的に等しくすることができる。このため、FET1の各部を同相で動作させることができ、マイクロ波高出力増幅器の高出力化可能となる。

【0039】図3(a)ではキャパシタ13として平行平板形のものをを用いた場合について示したがこの発明のマイクロ波高出力増幅器では図3(b)の斜視図のように、マイクロストリップ線路2の両端部からクランク状に切り込みを入れて構成したギャップキャパシタを用いても良い。この場合、ギャップキャパシタはマイクロストリップ線路2と同時に誘電体基板3上に形成でき、図3(a)に示すものよりは簡単な構成で安価にできる。なお、図3(a)、(b)に示す実施例ではキャパシタ13をマイクロストリップ線路2に装荷した場合について示したが、マイクロストリップ線路6に装荷した場合であっても良い。また、キャパシタ13をマイクロストリップ線路2と6にそれぞれ装荷することにより、FET1の各部を同位相で動作させることができ、かつ、同相で合成できるため、より高出力化を図ることが可能となる。

【0040】実施例3. 図4(a)、(b)はFET1の各部に供給されるマイクロ波の位相を電氣的に等しく、高出力化を図るためのマイクロ波高出力増幅器の他の実施例を示す斜視図であり、図中、15は絶縁体膜、16は所要周波数帯で $1/4$ 波長よりも長さが短い先端開放線路である。図4(a)に示すマイクロ波高出力増幅器ではFET1近傍のマイクロストリップ線路2のほぼ中央部に絶縁体膜15を設け、この絶縁体膜15には一端がマイクロストリップ線路2に接続された先端開放線路16が設けられている。このようにマイクロストリップ線路2の中央部に所望の周波数で $1/4$ 波長よりも短い長さの先端開放線路16を接続することにより、マイクロストリップ線路2のFET1側中央部に並列にキャパシタが装荷されたものと見なすことができる。このように並列に装荷されたキャパシタはマイクロ波の位相を遅らせる働きがある。従って、入力端子4から入射し、マイクロストリップ線路2の中央部をFET1に向かって進むマイクロ波信号の位相を先端開放線路16で遅らせることができ、先端開放線路16の幅が広く、長さが $1/4$ 波長に近くなるほど位相遅れが大きくなる。このためマイクロストリップ線路2の中央部と両端部を通るマイクロ波の経路長の違いによる位相差を補償するような先端開放線路16の線路幅と長さを選ぶことにより、FET1の中央部と両端部に到達するマイクロ波の位相をほぼ等しくすることができる。これにより、FET1の各部を同相で動作させることができ、高出力化を

図ることができる。また、先端開放線路16をマイクロストリップ線路2の特性インピーダンス、電気長への影響が小さいマイクロストリップ線路2上に形成することにより、先端開放線路16とマイクロストリップ線路2とを独立に設計できるためマイクロ波高出力増幅器の設計が容易となる。

【0041】図4(a)に示す実施例ではマイクロストリップ線路2の中央部を通るマイクロ波の位相を遅らせるのに1個の先端開放線路16を用いた場合について示したが、図4(b)に示すように中央部から両端部になるほど長さが短くなる複数の先端開放線路16を用いた場合であっても良い。このような構成にすることにより、入力端子4からFET1の各部へ到達するマイクロ波の位相をより等しくすることができ、より高出力化を図ることができる。また、これらの実施例ではマイクロストリップ線路2にのみ先端開放線路16を設けた場合について述べたが、マイクロストリップ線路bに先端開放線路16を設けた場合であっても良く、これらのマイクロストリップ線路2、6上に先端開放線路16を実現するにはモノリシックマイクロ波集積回路技術等を用いることにより容易である。なお、図3(a)、(b)に示した実施例2ではマイクロストリップ線路2の両端部を通るマイクロ波の位相を進ませてFET1の各部に到達する位相を等しくするのに対して、図4(a)、

(b)に示す実施例3ではマイクロストリップ線路2の中央部を通るマイクロ波の位相を遅らせてFET1の各部に到達する位相を等しくしている。

【0042】実施例4. 図5(a)、(b)はFET1の各部に供給されるマイクロ波の位相を電氣的に等しくし、高出力化を図るためのマイクロ波高出力増幅器のさらに他の実施例を示す斜視図であり、これらの図において17はコの字形のスリットである。これらの図に示すようにこの発明のマイクロ波高出力増幅器は、マイクロストリップ線路2のFET1近傍の中央部に1個のコの字形のスリット17を設けた構成のものであり、このスリット17により、一端がマイクロストリップ線路2に接続された先端開放線路16がマイクロストリップ線路2と同一平面上に形成されている。このような先端開放線路16もまたマイクロストリップ線路2の中央部に並列にキャパシタを装荷する働きを有し、この場合も入力端子4からマイクロストリップ線路2の中央部をFET1へ向かって進むマイクロ波信号の位相を遅らせることができる。この位相遅れは先端開放線路16の幅と長さに依存するため、所望のキャパシタが得られるような先端開放線路16の形状、即ち、スリット17の形状を選ぶことにより位相量を設定できる。従って、この実施例においても実施例3と同様にマイクロストリップ線路2の中央部にキャパシタを装荷した構成となるため、入力端子4からFET1の各部に到達するマイクロ波の位相をほぼ一定にでき、高出力化を図ることが可能となる。

13

なお、図 5 (a) と図 5 (b) とは基本的な回路構成は同じであるが、両者の違いは図 5 (a) では 1 個の FET 1 を用いた場合、図 5 (b) では 2 個の FET 1 を用いた場合であり、この発明のマイクロ波高出力増幅器では 2 個以上の FET 1 を用いた場合であっても良い。また、コの字形のスリット 17 を複数個、マイクロストリップ線路 2 上に設けた場合であっても良く、マイクロストリップ線路 6 上に設けたものであっても良い。以上述べたようにマイクロストリップ線路 2 の FET 1 側の中央部にコの字形のスリット 17 で形成された先端開放線路 16 を装荷することにより、入力端子 4 から入射したマイクロ波信号の位相を FET 1 端で揃えることができ、高出力化を図ることができる。また、この実施例では先端開放線路 16 をマイクロストリップ線路 2 と同一面上に構成できるため、図 4 (a), (b) に示した実施例 3 のように先端開放線路を立体的に構成する必要がなく、通常のマイクロ波集積回路技術で実現でき、安価なマイクロ波高出力増幅器を得ることができる利点がある。

【0043】以上述べた実施例 1 ~ 実施例 4 では入力端子 4 から出力端子 7 までの FET 1 の中央部及び両端部を通るマイクロ波の経路長を等しくすることによりマイクロ波高出力増幅器の高出力化を図る方法について述べた。しかし、さらに高出力化を図るには FET 1 の各部を同相、同振幅で動作させ、かつ、FET 1 からの出力を同相、同振幅で合成する必要がある。以下、FET 1 の各部を同振幅が動作させるため実施例について述べる。

【0044】実施例 5. 図 6 (a), (b) は FET 1 の中央部及び両端部に供給されるマイクロ波の振幅を等しくし、高出力化を図るためのマイクロ波高出力増幅器の一実施例を示す斜視図であり、図中、18 は抵抗である。図 6 (a) に示したマイクロ波高出力増幅器ではマイクロストリップ線路 2 に直列に、マイクロ波の伝ぱん方向と垂直をなす方向、つまり、マイクロストリップ線路 2 の中央部から両端部に向かって抵抗値が大きくなる複数の抵抗 18 を設けたものであり、抵抗 18 はマイクロストリップ線路 2 と同時にマイクロ波集積回路技術により誘電体基板 3 上に構成されている。このように中央部よりも両端部の方が大きな抵抗値の抵抗 18 をマイクロストリップ線路 2 に直列に装荷することにより、入力端子 4 から入射し、マイクロストリップ線路 2 を伝ぱんするマイクロ波信号は図の矢印で示すように中央部よりも両端部を通る方が大きく減衰される。このため、入力端子 4 から入射し、マイクロストリップ線路 2 の両端部を通る振幅の大きなマイクロ波信号は大きく減衰されるようになる。従って、FET 1 の中央部及び両端部に供給されるマイクロ波信号の振幅をほぼ等しくでき、FET 1 を同振幅で動作させることができるため高出力化を図ることができる。特にこのマイクロ波高出力増幅器で

14

は FET 1 の入力側に直列に抵抗 18 が装荷される構成となるため、利得はやや低くなるが高安定なマイクロ波高出力増幅器を得ることもできる。なお、上記、実施例ではマイクロストリップ線路 2 に直列に 3 個の抵抗 18 を装荷した場合について述べたが、この発明のマイクロ波高出力増幅器では、図 6 (b) に示すようにマイクロストリップ線路 2 の中央部から両端部に向かって徐々に幅が広がるような 1 個の抵抗 18 を設けた場合であっても良い。

【0045】実施例 6. 図 7 (a), (b) は FET 1 の各部に供給されるマイクロ波の振幅を等しくし、高出力化を図ることができるマイクロ波高出力増幅器の他の実施例を示す斜視図であり、図 7 (a) はマイクロストリップ線路 2 の両端部にのみ抵抗 18 を装荷した場合、図 7 (b) はマイクロストリップ線路 2 の中央部から両端部まで抵抗 18 を装荷した場合である。これらは図 6 (a), (b) に示した実施例 5 のものと基本的な回路構成は同じであるが、この発明のマイクロ波高出力増幅器ではマイクロストリップ線路 2 に直列に装荷した抵抗 18 の一部を金属細線 14 で短絡したものである。これにより抵抗 18 でのマイクロ波の減衰量を決めることができる。即ち、金属細線 14 の長さが短く、本数が多いほど、短絡近傍での抵抗 18 によるマイクロ波の減衰量が小さくなる。以上のように、この発明のマイクロ波高出力増幅器では抵抗 18 の一部を金属細線 14 で短絡することにより、その近傍での抵抗 18 によるマイクロ波の減衰量を可変することができ、入力端子 4 から入射したマイクロ波信号の FET 1 端での振幅をより等しくすることができる。これにより、FET 1 の各部を同振幅で動作させることができ、より高出力化を図ることができる。なお、実施例 5, 6 では FET 1 の各部でのマイクロ波の振幅をほぼ等しくする方法について述べたが、この発明ではこれらの手法と先に実施例 1 ~ 4 で述べた位相を等しくする手法とを組み合わせて用いることにより、さらに高出力化を図ることができる。

【0046】上記、実施例 1 ~ 実施例 6 では入力端子 4 から入射したマイクロ波の位相あるいは振幅を FET 1 の中央部及び両端部で揃え、FET 1 の各部を均一動作させることによりマイクロ波高出力増幅器の高出力化を図る方法について述べた。次に、この発明の第二の目的である発振防止について述べる。

【0047】実施例 7. 図 8 (a), (b) は入力整合回路 5、出力整合回路 8 を含む FET 1 内で生じる発振を防止するためのマイクロ波高出力増幅器の一実施例を示す斜視図である。図 8 (a) において、この発明のマイクロ波高出力増幅器では入力整合回路 5 を形成するマイクロストリップ線路 2 のほぼ中央部にマイクロ波の伝ぱん方向に沿ってスリット 10 を設けた構成にしている。これにより、例えば FET 1 の一端、即ち a 部で発生した不要なマイクロ波信号を図中の矢印で示すよう

に、出力整合回路 8 を形成するマイクロストリップ線路 6 及び FET 1 の他端を通り、さらにマイクロストリップ線路 2 上のスリット 10 の入力端子 4 側を通して、再び FET 1 の a 部に戻るようになる。即ち、この発明のようにマイクロストリップ線路 2 の中央部にスリット 10 を設けることにより、FET 1 の a 部で発生した不要なマイクロ波信号が再び a 部に戻るまでの電気長 ϕ を変えることができる。一般に増幅器が発振するための条件として ϕ が 360° の整数倍で、かつ a 部で発生したマイクロ波信号の振幅よりも再び a に戻った時の振幅が大きい場合にそれを満足する周波数で発振する。特にマイクロストリップ線路 2、6 の幅及び FET 1 のゲート幅は広い場合、低周波帯においても ϕ が 360° の整数倍となり、かつ、FET 1 自身の利得も非常に高いため低周波帯で発振することが多い。従って、この発明のようにマイクロストリップ線路 2 にスリット 10 を設け、発振条件を避けるような電気長になるようにスリット 10 長を選ぶことにより発振を防止することができる。なお、細長い形状のスリット 10 をマイクロ波の伝はん方向に沿ってマイクロストリップ線路 2 上に設けることにより、マイクロストリップ線路 2 の特性インピーダンス及び電気長への影響が非常小さいため、増幅特性が劣化してしまうこともない。また、スリット 10 をマイクロストリップ線路 2 の中央部に設けることにより、発振防止できる周波数帯を広くすることが可能である。図 7

(b) は FET 1 から発生した不要なマイクロ波信号が再びもとに戻るまでの電気長を変えるための他の実施例であり、この発明のようにマイクロストリップ線路 6 にもスリット 10 を設けた場合でも同様の効果がある。

【0048】以上のように、マイクロストリップ線路 2 あるいはマイクロストリップ線路 6 のほぼ中央部にマイクロ波の伝はん方向に沿ってスリット 10 を設けることにより、FET 1 の一部で発生した不要なマイクロ波信号が再びもとに戻るまでの電気長を変えることができ、スリット 10 の長さを発振条件を満足しない長さに設定することにより、発振を防止することができる効果がある。

【0049】実施例 8. 図 9 (a), (b) 及び図 10 (a), (b) は発振を防止するためのマイクロ波高出力増幅器の他の実施例を示す斜視図である。図 9 (a) において、この発明のマイクロ波高出力増幅器ではマイクロストリップ線路 2 のほぼ中央部にマイクロ波の伝はん方向に沿ってスリット 10 を設け、かつ、このスリット 10 内にはスリット 10 で分離されたマイクロストリップ線路 2 間も接続する抵抗 18 を設けた構成にしている。これにより、FET 1 の a 点から発生した不要なマイクロ波信号はマイクロストリップ線路 6 及び FET 1 の他端を通してマイクロストリップ線路 2 に到達する。そこで 2 つに分かれ、一方は抵抗 18 を通り、もう一方はスリット 10 の入力端子 4 側を通ってもとの FET 1

の a 部に戻るようになり、抵抗 18 を通った不要なマイクロ波信号はそこで減衰されるようになる。即ち、FET 1 の a 点から発生した不要なマイクロ波信号は再び a 点に戻るまで著しく減衰するようになる。従って、実施例 7 で述べたような FET 1 の a 点で発生したマイクロ波信号の振幅が再びもとに戻った時の振幅が大きくなってしまふ発生条件を満たさなくなり、発振防止が可能となる。図 9 (b) はマイクロストリップ線路 2 のほぼ中央部にマイクロ波の伝はん方向に沿って 2 個のスリット 10 を設け、それぞれのスリット 10 に抵抗 18 を設けた場合である。このように複数個のスリット 10 と抵抗 18 を設けることにより、発振防止できる周波数帯域をさらに広げることができる。また、図 10 (a) はスリット 10 をマイクロストリップ線路 6 にも設け、さらに抵抗 10 を設けた場合であり、図 10 (b) は 2 個の FET 1 を用いた場合である。このように、出力整合回路 8 を構成するマイクロストリップ線路 6 に抵抗 18 を装荷したスリット 10 を設けた場合であっても良く、複数個の FET 1 を並べて配置した場合であってもこの発明には変わりがない。

【0050】以上のようにマイクロストリップ線路 2 あるいはマイクロストリップ線路 6 のほぼ中央部にマイクロ波の伝はん方向に沿ってスリット 10 を設け、このスリット 10 に抵抗 18 を装荷することにより、FET 1 の一部から発生した不要なマイクロ波信号を著しく減衰させることができ、入力整合回路 5 及び出力整合回路 8 を含む FET 2 内で発生する発振を防止できる効果がある。なお、抵抗 18 はマイクロ波の伝はん方向に沿って装荷される構成となるため、入力端子 4 から入射した所要なマイクロ波信号にはほとんど影響しないため増幅特性が劣化してしまうことはない。

【0051】実施例 9. 図 11 (a), (b) は発振を防止するためのマイクロ波高出力増幅器のさらに他の実施例を示す斜視図である。図 11 (a) は図 8 で示した実施例 7 と基本的な回路構成は同じであるが、この発明ではマイクロストリップ線路 2 の中央部に設けたスリット 10 を跨ぐように金属細線 14 を設けている。これにより、FET 1 の一部から発生した不要なマイクロ波信号がマイクロストリップ線路 6 及び FET 1 の他の部分を通り、さらにマイクロストリップ線路 2 を通って再びもとに戻るまでの電気長を変えることができる。従って、金属細線 14 の位置を変えることにより、発振抑圧できる周波数を可変できるため、スリット 10 長の異なる何種類ものマイクロストリップ線路 2 あるいはマイクロストリップ線路 6 を製作する必要がなく、1 種類で済むためマイクロ波高出力増幅器の低下価格化が図れる利点がある。また、この発明のマイクロ波高出力増幅器は図 11 (b) に示すように抵抗 18 を装荷したスリット 10 を跨ぐように金属細線 14 を設けた場合であっても良い。この場合、FET 1 から発生した不要なマイクロ

波信号が再びもとに戻るまでの電気長及び振幅を同時に変えることができるため、より広範囲の周波数帯に渡って発振防止が可能となる。

【0052】 以上のように実施例 7～実施例 9 ではマイクロ波高出力増幅器の発振防止策について述べた。以下、この発明の第三の目的である高調波抑圧について述べる。

【0053】 実施例 10. 図 12 (a), (b) は高調波を抑圧することができるマイクロ波高出力増幅器の一実施例を示す斜視図であり、図中、19 は高調波に対して 1/4 波長の先端開放線路である。図 12 (a) は出力整合回路 6 を形成するマイクロストリップ線路 6 上の FET 1 との接続部近傍に高調波、例えば 2 倍波に対して 1/4 波長の先端開放線路 19 が形成されるようにコの字形のスリット 17 を設けたものである。この 1/4 波長の先端開放線路 19 は高調波に対してインピーダンスがほぼ零オームとなる。このため、FET 1 の非線形特性によって発生した高調波を FET 1 近傍で短絡することができる、出力端子 7 に出力される高調波成分を著しく小さくすることができる。特に、2 倍波に対して 1/4 波長の先端開放線路 19 が形成されるようなコの字形のスリット 17 を設けることにより、マイクロ波高出力増幅器の高効率化を図ることもできる。図 12 (b) はマイクロストリップ線路 6 上に 2 個のコの字形のスリット 17 を用いた場合である。このように複数個のコの字形のスリット 17 を用いることにより、異なる高調波に対して 1/4 波長の先端開放線路 19 が同時に形成でき、種々の高調波を抑圧することができる。以上のように、出力整合回路 8 を形成するマイクロストリップ線路 6 上の FET 1 との接続部近傍に高調波に対して 1/4 波長の先端開放線路が形成されるようにコの字形のスリット 17 を設けることにより、高調波成分の小さなマイクロ波高出力増幅器を得ることができる。

【0054】 実施例 11. 図 13 (a), (b) は高調波を抑圧することができるマイクロ波高出力増幅器の他の実施例を示す斜視図である。図 13 (a) はマイクロストリップ線路 6 上の FET 1 との接続部近傍に、絶縁体膜 15 を設け、さらにこの絶縁体膜 15 上には一端がマイクロストリップ線路 6 に接続され、かつ、高調波に対して 1/4 波長の先端開放線路 19 を設けたものである。この 1/4 波長の先端開放線路 19 もまた、実施例 10 で述べたコの字形のスリット 17 で形成されたものと同じ働きがあり、高調波を抑圧することが可能となる。図 13 (b) は絶縁体膜 15 上に長さの異なる複数個の 1/4 波長の先端開放線路 19 を設けた場合であり、実施例 10 で述べたように種々の高調波を同時に抑圧することができる。以上のように、出力整合回路 8 を形成するマイクロストリップ線路 6 上に絶縁体膜 15 を設け、さらに絶縁体膜 15 上に高調波に対して 1/4 波長の先端開放線路 19 を形成することにより、高調波を

抑圧することができる。また、実施例 10 ではコの字形のスリット 17 をマイクロストリップ線路 6 に設けることにより、マイクロストリップ線路 6 の特性インピーダンス及び電気長へのスリット 17 の影響がやや大きいものに対して、この発明のものはこのような影響がないため出力整合回路 8 と 1/4 波長の先端開放線路 19 とを独立に設計でき、マイクロ波高出力増幅器の設計が容易となる。

【0055】 実施例 12. 図 14 (a) は高調波を抑圧することができるマイクロ波高出力増幅器のさらに他の実施例を示す斜視図であり、図 14 (b) は図 14

(a) の等価回路図である。この発明のマイクロ波高出力増幅器ではマイクロストリップ線路 6 の出力端子 7 側の一端に絶縁体膜 15 を設け、この絶縁体膜 15 上には高調波に対して 1/4 波長の先端開放線路 19 を設けたものである。このため、FET 1 から発生した高調波はマイクロストリップ線路 6 の出力端子 7 側で短絡されるようになり、この場合も出力端子 7 から出力される高調波を抑圧することができる。しかも図 14 (b) に示すようにマイクロストリップ線路 6 の出力端子 7 側の一端にキャパシタが装荷された構成となり、このキャパシタにより、所要周波数で整合に必要なマイクロストリップ線路 6 長を短くすることができる。以上のようにマイクロストリップ線路 6 の出力端子 7 側の一端に絶縁体膜 15 を設け、この絶縁体膜 15 上には高長波に対して 1/4 波長の先端開放線路 19 を設けることにより、高調波成分が小さく小形なマイクロ波高出力増幅器を得ることができる効果がある。

【0056】 なお、上記実施例 1～実施例 12 では半導体増幅素子としてチップ状の FET 1 を用いた場合について述べたが、パッケージに装着された FET 1 であっても良く、バイポーラトランジスタ、HBT、HEMT 等の他の素子を用いてもこの発明には変わりがない。また、マイクロストリップ線路 2, 6 を形成する基本として誘電体基板 3 のかわりに GaAs 基板等の半導体基板を用いても良い。さらに、マイクロ波高出力増幅器として複数個の増幅器出力を合成する電力合成形の増幅器に適用しても良い。

【0057】

【発明の効果】 以上のように、この発明によれば入力整合回路あるいは出力整合回路をマイクロストリップ線路で構成し、かつ、このマイクロストリップ線路上にはマイクロ波の伝ばん方向に沿ってスリットを設けることにより、入力端子から半導体増幅素子の中央部あるいは両端部までの経路長、または、これらの部分を通して出力端子に至るまでの経路長をほぼ物理的に等しくできる。これにより、半導体増幅素子の各部を同相で動作させることが可能となり、また、同相で合成することもできるためマイクロ波高出力増幅器の高出力化を図ることができる効果がある。

【0058】また、この発明によれば入力整合回路あるいは出力整合回路をマイクロストリップ線路で構成し、かつ、マイクロ波の伝はん方向と垂直をなすマイクロストリップ線路の両端部にマイクロストリップ線路に直列にキャパシタを装荷することにより、マイクロストリップ線路の両端部を通るマイクロ波信号の位相を進めることができ、入力端子から半導体増幅素子の中央部あるいは両端部までの電気長または半導体増幅素子中央部あるいは両端部から出力端子までの電気長を電氣的にほぼ等しくできる。このため半導体増幅素子の各部を同相で動作させることができ、かつ、同相で合成することもできるため、出力電力の大きなマイクロ波高出力増幅器を得ることができる効果がある。

【0059】また、この発明によれば入力整合回路あるいは出力整合回路をマイクロストリップ線路で構成し、半導体増幅素子との接続部近傍のマイクロストリップ線路上に絶縁体膜を設けるとともに絶縁体膜上には一端がマイクロストリップ線路に接続された所要周波数帯で1/4波長より短い先端開放線路を設けることにより、マイクロストリップ線路の中央部を伝はんするマイクロ波信号の位相を遅らせることができ、入力端子から半導体増幅素子の中央部あるいは両端部までの電気長または半導体増幅素子の中央部あるいは両端部から出力端子までの電気長を電氣的にほぼ等しくできる。これにより、半導体増幅素子の各部と同相で動作させることができ、また、同相で合成することもできるため、マイクロ波高出力増幅器の高出力化を図ることができるとともに、先端開放線路がマイクロストリップ線路の特性インピーダンスあるいは電気長へ与える影響が小さいためマイクロ波高出力増幅器の設計が容易となる。

【0060】また、この発明によれば入力整合回路あるいは出力整合回路をマイクロストリップ線路で構成し、かつ、半導体増幅素子との接続部近傍のマイクロストリップ線路のほぼ中央部には所要周波数帯で1/4波長より短い先端開放線路が形成されるようなコの字形のスリットを設けることにより、マイクロストリップ線路の中央部を伝はんするマイクロ波信号の位相を遅らせることができ、入力端子から半導体増幅素子の中央部あるいは両端部までの電気長または半導体増幅素子の中央部あるいは両端部から出力端子までの電気的に等しくできる。これにより、マイクロ波高出力増幅器の高出力化を図ることができるとともに、通常のマイクロ波集積回路技術によりマイクロストリップ線路と先端開放線路とを同時に形成できるためマイクロ波高出力増幅器の低価格化を図ることができる。

【0061】また、この発明によれば入力整合回路をマイクロ波の伝はん方向と垂直をなす両端部に向かって徐々に抵抗値が大きくなるような抵抗を直列に装荷したマイクロストリップ線路で構成することにより、マイクロストリップ線路の両端部を通るマイクロ波信号を大きく

減衰させることができ、半導体増幅素子の中央部あるいは両端部に供給されるマイクロ波信号の振幅をほぼ一定にできる。このため、半導体増幅素子の中央部あるいは両端部を同振幅で動作させることができ、マイクロ波高出力増幅器の高出力化を図ることができるとともに安定化も図れる効果がある。

【0062】また、この発明によれば上記抵抗の一部を金属細線で短絡することにより、抵抗でのマイクロ波の減衰量を調整できるため、半導体増幅素子の中央部あるいは両端部に供給されるマイクロ波信号の振幅をより等しくすることができ、マイクロ波高出力増幅器のより高出力化が可能となる。

【0063】また、この発明によれば入力整合回路あるいは出力整合回路の少なくとも一方をマイクロストリップ線路で構成し、かつ、このマイクロストリップ線路のほぼ中央部にマイクロ波の伝はん方向に沿ってスリットを設けることにより、半導体増幅素子の一部から発生した不要なマイクロ波信号が出力整合回路、半導体増幅素子の他部及び入力整合回路を介して再びもとに戻るまでの電気長を変えることができ、スリット長を適当に選ぶことにより、マイクロ波高出力増幅器の発振を防止することができる効果がある。

【0064】また、この発明によれば入力整合回路あるいは出力整合回路の少なくとも一方をマイクロストリップ線路で構成し、かつ、このマイクロストリップ線路のほぼ中央部にマイクロ波の伝はん方向に沿ってスリットを設けるとともに、このスリット内には抵抗を装荷することにより、半導体増幅素子の一部から発生した不要なマイクロ波信号が出力整合回路、半導体増幅素子の他部及び入力整合回路を介して、再びもとに戻るまでに吸収されるため、広帯域にわたって高安定なマイクロ波高出力増幅器を得ることができる効果がある。

【0065】また、この発明によれば入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路のほぼ中央部にマイクロ波の伝はん方向に沿ってスリットを設け、かつ、このスリットを跨ぐように設けられた金属細線でマイクロストリップ線路局部間を接続することにより、半導体増幅素子の一部から発生した不要なマイクロ波信号が再びもとに戻るまでの電気長を可変することができ、種々の周波数の発振に対して対応することができるため、マイクロ波高出力増幅器の安定化を図ることができるとともに低価格化も図れる利点がある。

【0066】また、この発明によれば出力整合回路をマイクロストリップ線路で構成し、かつ半導体増幅素子との接続部近傍のマイクロストリップ線路上に、高調波に対して1/4波長の先端開放線路が形成されるようにコの字形のスリットを設けることにより、高調波を短絡することができ、高調波の小さなマイクロ波高出力増幅器を得ることができる効果がある。

【0067】さらに、この発明によれば出力整合回路を

マイクロストリップ線路で構成し、半導体増幅素子との接続部近傍のマイクロストリップ線路上に、絶縁体膜を設け、かつ、この絶縁体膜上には一端がマイクロストリップ線路に接続された高調波で1/4波長の先端開放線路を設けることにより、先端開放線路がマイクロストリップ線路の特性インピーダンス、電気長に影響を与えることなく高調波を短絡することができ、マイクロ波高出力増幅器の高調波を抑圧できるとともに、増幅器設計が容易となる利点がある。

【0068】さらに、また、この発明によれば出力整合回路を構成するマイクロストリップ線路の出力端子側の一端に絶縁体膜を設け、かつ、この絶縁体膜上には一端がマイクロストリップ線路に接続された高調波で1/4波長の先端開放線路を設けることにより、高調波を短絡することができることとマイクロストリップ線路の長さを短くすることができ、マイクロ波高出力増幅器の高調波を抑圧することができるとともに小形化が図れる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例を示すマイクロ波高出力増幅器の斜視図である。

【図2】この発明の他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図3】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図4】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図5】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図6】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図7】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図8】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図9】この発明のまた他の実施例を示すマイクロ波高

出力増幅器の斜視図である。

【図10】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図11】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図12】この発明のまた他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図13】この発明のさらに、他の実施例を示すマイクロ波高出力増幅器の斜視図である。

【図14】この発明のさらに、また、他の実施例を示すマイクロ波高出力増幅器の斜視図及び等価回路図である。

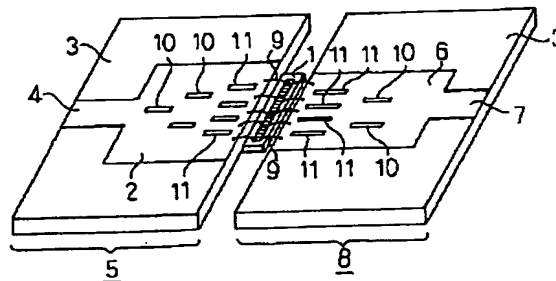
【図15】従来のマイクロ波高出力増幅器の斜視図である。

【図16】マイクロ波信号の流れを表わすモデル図である。

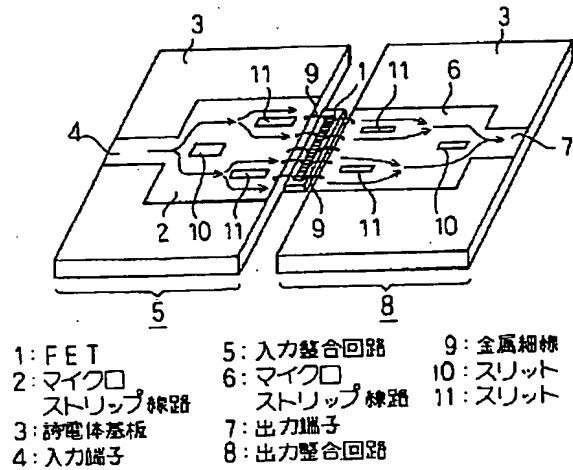
【符号の説明】

- 1 FET
- 2 マイクロストリップ線路
- 3 誘電体基板
- 4 入力端子
- 5 入力整合回路
- 6 マイクロストリップ線路
- 7 出力端子
- 8 出力整合回路
- 9 金属細線
- 10 スリット
- 11 スリット
- 12 スリット
- 13 キャパシタ
- 14 金属細線
- 15 絶縁体膜
- 16 先端開放線路
- 17 コの字形のスリット
- 18 抵抗
- 19 1/4波長の先端開放線路

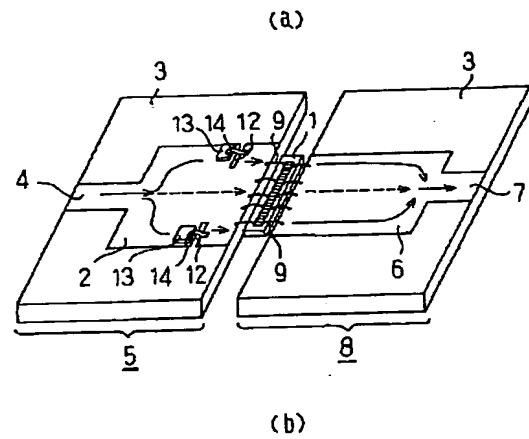
【図2】



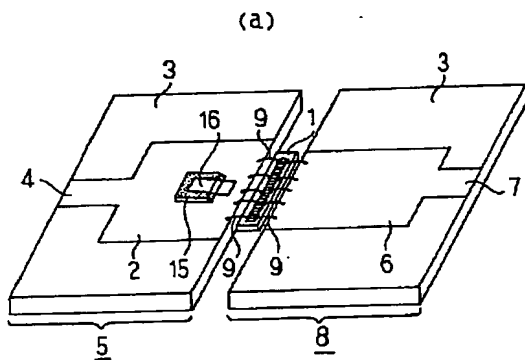
【図 1】



【図 3】

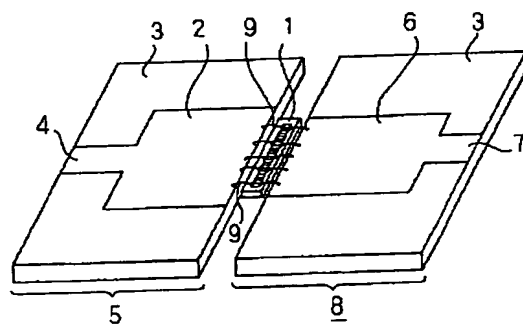


【図 4】



12: スリット
13: キャパシタ
14: 金属細線

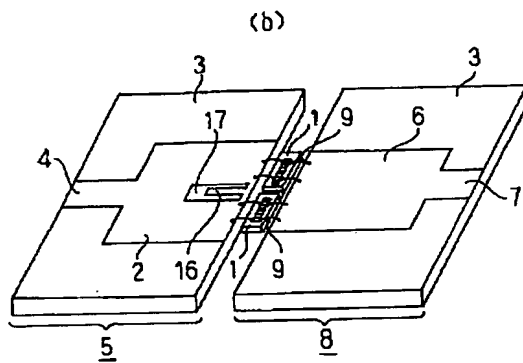
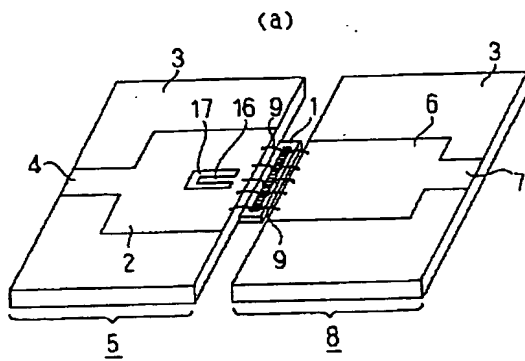
【図 15】



15: 絶縁体膜
16: 先端開放線路

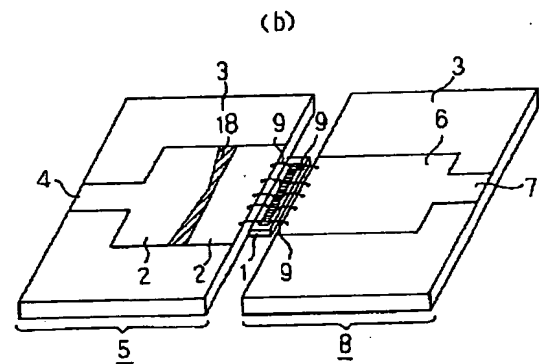
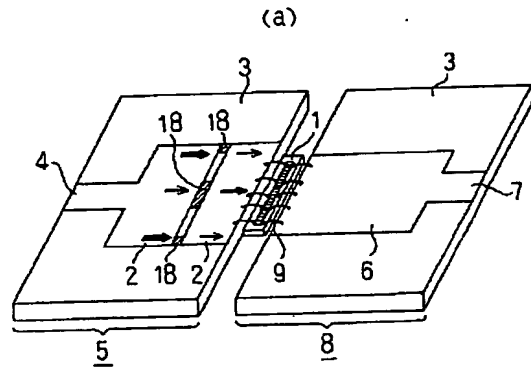
1: FET
2: マイクロストリップ線路
3: 誘電体基板
4: 入力端子
5: 入力整合回路
6: マイクロストリップ線路
7: 出力端子
8: 出力整合回路
9: 金属細線

【図 5】



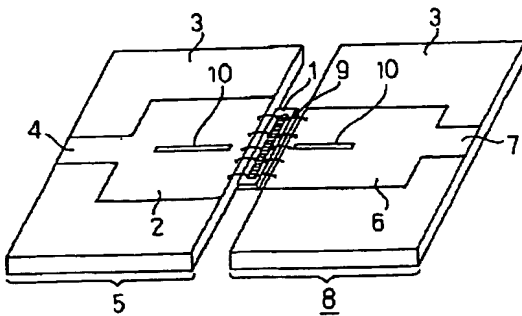
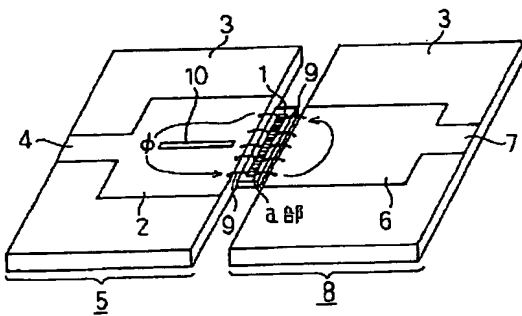
17: コの字形のスリット

【図 6】

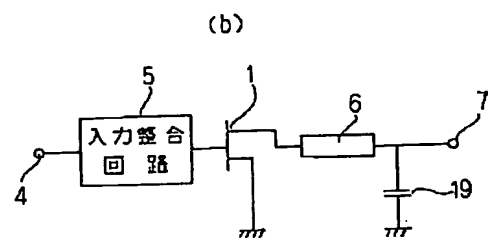
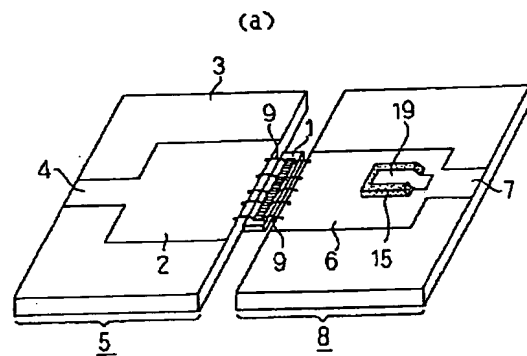


18: 抵抗

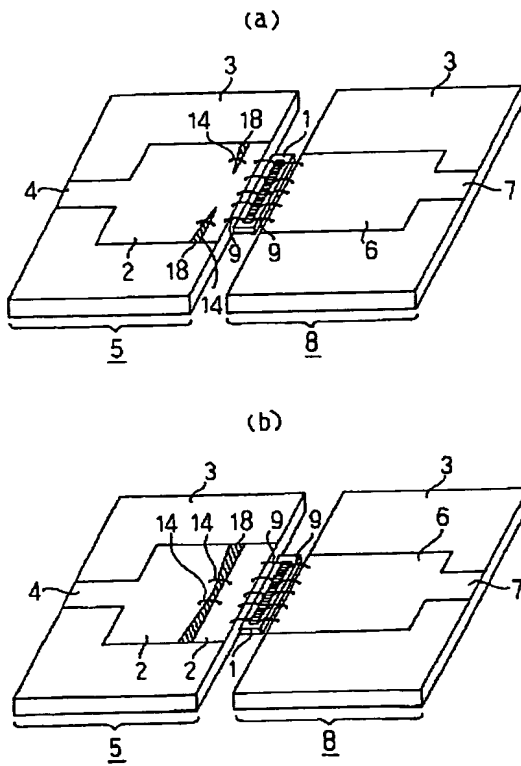
【図 8】



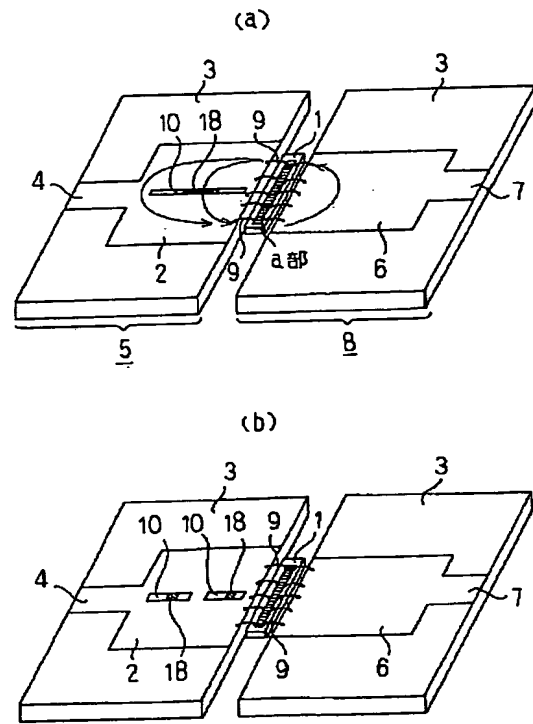
【図 14】



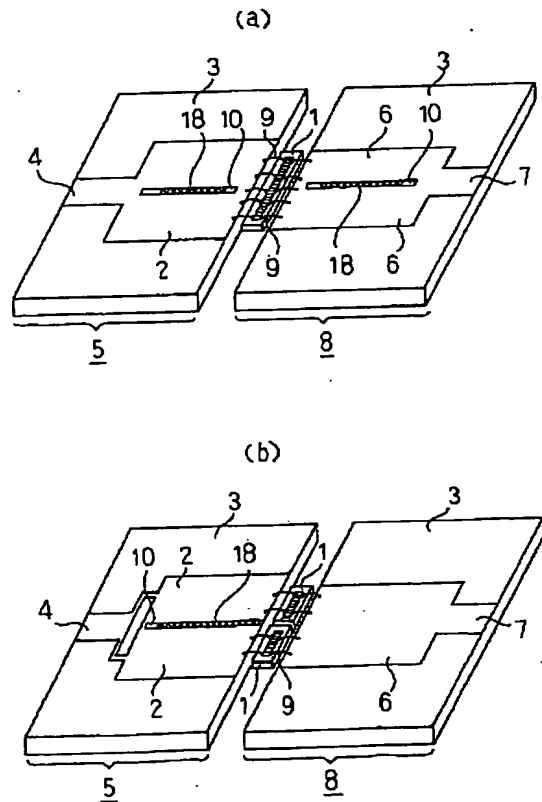
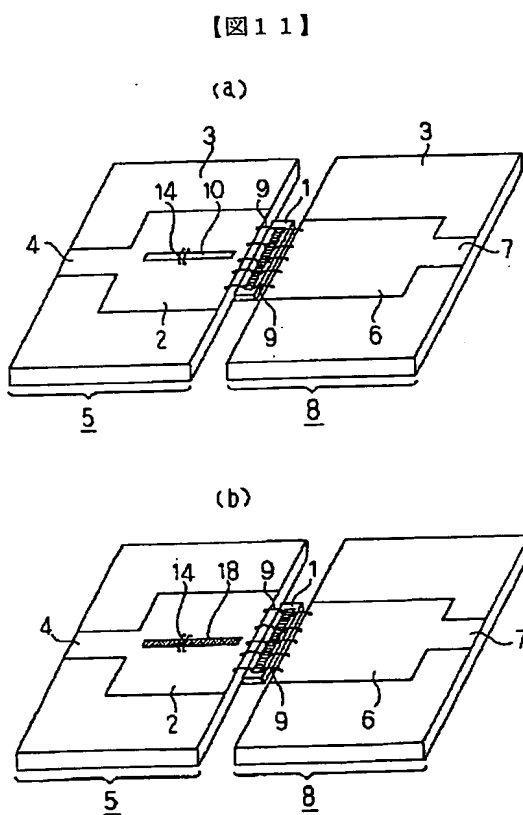
【図 7】



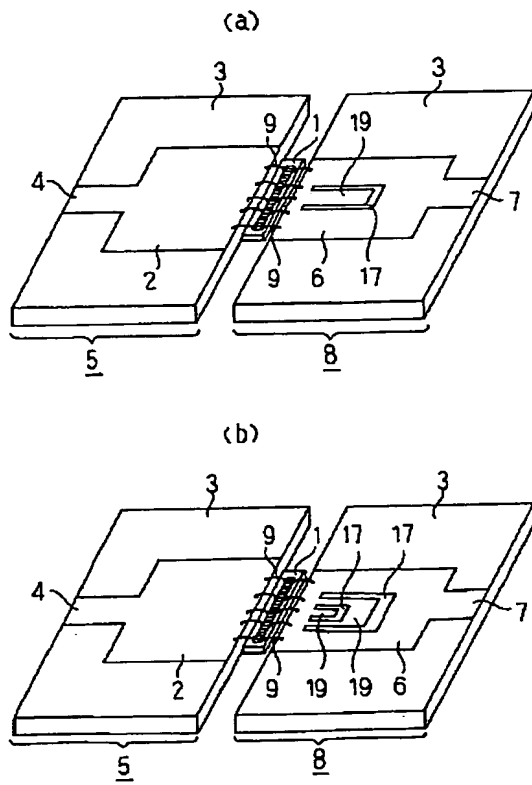
【図 9】



【図 10】

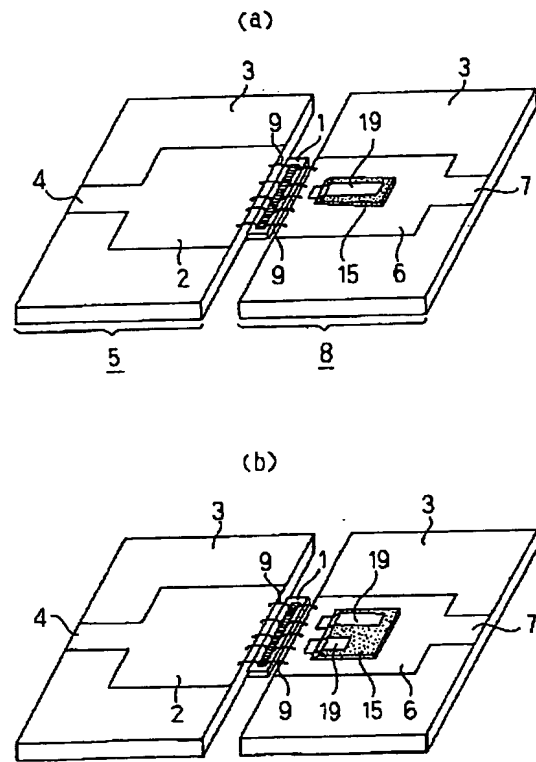


【図 12】

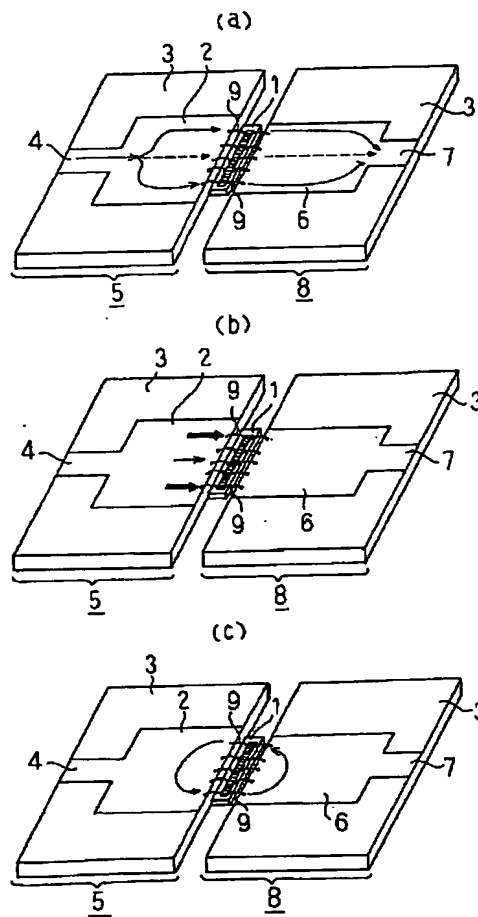


19 : $1/4$ 波長の先端開放線路

【図 13】



【図16】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成13年4月20日(2001. 4. 20)

【公開番号】特開平7-307626
【公開日】平成7年11月21日(1995. 11. 21)
【年通号数】公開特許公報7-3077
【出願番号】特願平6-98615
【国際特許分類第7版】

H03F 3/60

H01P 5/02

5/08

5/12

H03F 3/20

【FI】

H03F 3/60

H01P 5/02 A

5/08 L

5/12

H03F 3/20

【手続補正書】

【提出日】平成12年5月11日(2000. 5. 11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】

【作用】この発明に係るマイクロ波高出力増幅器の実施例1では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路に、マイクロ波の伝ばん方向に沿ってスリットを設けることにより、FETの各部を通る入力端子から出力端子までの経路長即ち電気長をほぼ一定にできる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、この発明に係るマイクロ波高出力増幅器の実施例4では入力整合回路あるいは出力整合回路を構成するマイクロストリップ線路のFETとの接続部近傍にコの字形のスリットを設けることにより、簡単な構成でマイクロストリップ線路上の位相を調整でき、FETの各部を通る入力端子から出力端子までの電気長をほぼ一定にできる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】次に動作について説明する。入力端子4から入射したマイクロ波信号はマイクロストリップ線路2からなる入力整合回路5を通り、FET1の中央部及び両端部に同相で供給され、そこでそれぞれ増幅される。さらに増幅されたそれぞれのマイクロ波信号はマイクロストリップ線路6からなる出力整合回路8を介して同相で合成され、出力端子7を介してアンテナ等の負荷へ供給されるようになる。なお、マイクロストリップ線路2, 6へ設けたスリット10, 11は細長い形状としており、しかもマイクロ波の伝ばん方向に沿って設けられているため、この発明のマイクロ波高出力増幅器で用いているマイクロストリップ線路2, 6の特性インピーダンス及び電気長はスリット10, 11のないものとほぼ等しくなるため、増幅器特性へ与えるスリット10, 11の影響は非常に小さい。以上に述べたように、この発明のマイクロ波高出力増幅器では入力整合回路5、出力整合回路8を構成するマイクロストリップ線路2, 6上にそれぞれスリット10, 11を設けることにより、FET1の中央部及び両端部を通る入力端子4から出力端子7までのマイクロ波の経路長をほぼ等しくすることができる。従って、FET1の中央部及び両端部を同相で動作させることができ、かつ、FET1で増幅されたマイクロ波信号を同相で合成できるため高出力化を図ることができる利点がある。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】なお、上記実施例ではマイクロストリップ線路2、6上にそれぞれ3個のスリット10、11を設けた場合について示したが、この発明のマイクロ波高出力増幅器では図2に示すように、それ以上のスリット10、11を設けた場合であっても良い。このように多数のスリット10、11をマイクロストリップ線路2、6上に設けることにより、FET1の各部をより同相で動作させることができ、また、FET1の各部で増幅されたマイクロ波信号をより同相で合成することができるため、さらに高出力化が可能となる。また、スリット10、11をマイクロストリップ線路2、6にそれぞれ設けた場合について述べたが、いずれか一方に設けた場合であっても良い。この場合、スリット10、11をマイクロストリップ線路2、6にそれぞれ設けたものよりはやや出力が低下するが、スリット10、11を設けないものよりは出力向上が図れる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】図4(a)に示す実施例ではマイクロストリップ線路2の中央部を通るマイクロ波の位相を遅らせるのに1個の先端開放線路16を用いた場合について示したが、図4(b)に示すように中央部から両端部になるほど長さが短くなる複数の先端開放線路16を用いた場合であっても良い。このような構成にすることにより、入力端子4からFET1の各部へ到達するマイクロ波の位相をより等しくすることができ、より高出力化を図ることができる。また、これらの実施例ではマイクロストリップ線路2にのみ先端開放線路16を設けた場合について述べたが、マイクロストリップ線路6に先端開放線路16を設けた場合であっても良く、これらのマイクロストリップ線路2、6上に先端開放線路16を実現するにはモノリシックマイクロ波集積回路技術等を用いることにより容易である。なお、図3(a)、(b)に示した実施例2ではマイクロストリップ線路2の両端部を通るマイクロ波の位相を進ませてFET1の各部に到達する位相を等しくするのに対して、図4(a)、

(b)に示す実施例3ではマイクロストリップ線路2の中央部を通るマイクロ波の位相を遅らせてFET1の各部に到達する位相を等しくしている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】以上述べた実施例1～実施例4では入力端子4から出力端子7までのFET1の中央部及び両端部を通るマイクロ波の経路長を等しくすることによりマイクロ波高出力増幅器の高出力化を図る方法について述べた。しかし、さらに高出力化を図るにはFET1の各部を同相、同振幅で動作させ、かつ、FET1からの出力を同相、同振幅で合成する必要がある。以下、FET1の各部を同振幅で動作させるための実施例について述べる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】実施例12.

図14(a)は高調波を抑圧することができるマイクロ波高出力増幅器のさらに他の実施例を示す斜視図であり、図14(b)は図14(a)の等価回路図である。この発明のマイクロ波高出力増幅器ではマイクロストリップ線路6の出力端子7側の一端に絶縁体膜15を設け、この絶縁体膜15上には高調波に対して1/4波長の先端開放線路19を設けたものである。このため、FET1から発生した高調波はマイクロストリップ線路6の出力端子7側で短絡されるようになり、この場合も出力端子7から出力される高調波を抑圧することができる。しかも図14(b)に示すようにマイクロストリップ線路6の出力端子7側の一端にキャパシタが装荷された構成となり、このキャパシタにより、所要周波数で整合に必要なマイクロストリップ線路6長を短くすることができる。以上のようにマイクロストリップ線路6の出力端子7側の一端に絶縁体膜15を設け、この絶縁体膜15上には高調波に対して1/4波長の先端開放線路19を設けることにより、高調波成分が小さく小形なマイクロ波高出力増幅器を得ることができる効果がある。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.